

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-056058

(43)Date of publication of application : 24.02.1998

(51)Int.Cl. H01L 21/76

(21)Application number : 09-149724

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 06.06.1997

(72)Inventor : NAG SOMNATH S
CHATTERJEE AMITAVA
CHEN IH-CHIN

(30)Priority

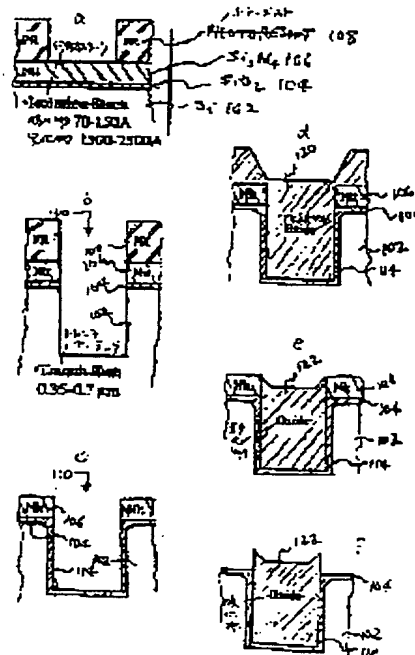
Priority number : 96 19688 Priority date : 10.06.1996 Priority country : US

(54) FORMING METHOD OF ISOLATION TRENCH OF INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize an isolation trench structure of a semiconductor device through a simple processing avoiding damage to trench edges due to the impact of plasma ions.

SOLUTION: A pad oxide layer 104 and a nitride layer laminated on a silicon substrate 102 to serve as a polish stop layer are patterned by the use of a mask 108, and a trench 110 is provided in the exposed substrate 102 by etching. Then, an oxide 120 is deposited through an inductively coupled high-density plasma enhanced deposition to fill the trench 110. Then, a chemical-mechanical polishing operation is carried out so far as to reach the pad oxide layer 104, whereby the oxide 120 is removed leaving an oxide 122 filled in the trench 110 unremoved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-56058

(43)公開日 平成10年(1998) 2月24日

(51)Int.Cl.⁹

H 0 1 L 21/76

識別記号

庁内整理番号

F I

H 0 1 L 21/76

技術表示箇所

L

審査請求 未請求 請求項の数1 O L (全 6 頁)

(21)出願番号 特願平9-149724

(22)出願日 平成9年(1997) 6月6日

(31)優先権主張番号 0 1 9 6 8 8

(32)優先日 1996年6月10日

(33)優先権主張国 米国 (U S)

(71)出願人 590000879

テキサス インストルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72)発明者 ソムナス エス. ナグ

アメリカ合衆国テキサス州プラノ, アップ
ランズ ドライブ 1909

(72)発明者 アミタバ チャッタージー

アメリカ合衆国テキサス州プラノ, サンタ
ーナ 3545

(74)代理人 弁理士 浅村 皓 (外3名)

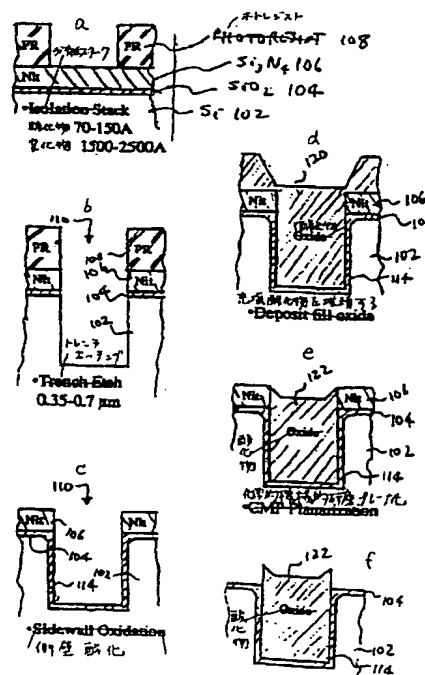
最終頁に続く

(54)【発明の名称】 集積回路のトレンチ分離製作方法

(57)【要約】

【課題】 半導体デバイスのトレンチ分離構造を単純な
かつプラズマイオン衝撃によるトレンチエッジへの損傷
を回避した処理を通して実現する。

【解決手段】 シリコン基板102上に積層した研磨阻
止層であるパッド酸化物層104、窒化物層106をマ
スク108を使用してパターン化し、露出した基板10
2内にエッチングによりトレンチ110を形成する。次
いで、誘導結合高密度プラズマエンハンスド堆積により
酸化物120を堆積してトレンチ110を充填する。次
いで、パッド酸化物層104に達するまで化学的機械的
研磨を行うことによって、最終的にトレンチ110内の
充填酸化物122を残して、酸化物120を除去する。



【特許請求の範囲】

【請求項1】 (a) シリコン基板上に研磨阻止層を形成するステップ、

(b) 前記研磨阻止層をパターン化するステップ

(c) 前記基板が前記パターン化された阻止層によって露出される所で前記基板内にトレンチを形成するステップ、

(d) 前記基板上に絶縁材料を堆積するステップであって、前記絶縁材料が前記トレンチを充填する前記堆積するステップ、及び

(e) 前記研磨阻止層まで前記基板を化学的機械的に研磨するステップを含むトレンチ分離製作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体デバイス、特に集積回路絶縁及び絶縁製作方法に関する。

【0002】

【従来の技術】集積回路は、典型的に電界効果トランジスタを含み、これらの電界効果トランジスタはシリコン基板内に形成されたソースとドレイン、及び基板上の絶縁ゲートを備え、更にこれらの上に横たわる多数の金属（又はポリシリコン）配線レベルを備え、これの配線レベルはゲート、ソース、ドレインと第1金属配線レベルとの間の絶縁層及び逐次重なる金属配線レベル間の絶縁層を備える。金属（又はポリシリコン）で充填されたこれらの絶縁層内の垂直パイアは、隣り合う金属配線レベルの配線間及びゲート、ソース、ドレインと第1金属配線レベルの配線との間の接続を施す。更に、これらのトランジスタは、酸化によって形成された絶縁領域で以て基板上で互いに分離される。デバイス分離のためのシリコン基板のこの局部酸化（以下、LOCOSと称する）は、分離酸化物の成長中にこの酸化物によるデバイス領域内への「バズピーク」横方向浸食を含む問題を抱える。この横方向浸食は、トランジスタの寸法が小さくなるに連れて利用可能なシリコン基板領域の許容し難い大きな部分を占める。

【0003】0.25~0.35 μ mの線幅を有する集積回路に対する浅いトレンチ分離が、LOCOS分離のバズピーク浸食問題に対する解決として提案された。特に、ゴーショ他、バイアスECR CVDによる0.35 μ mデバイスに対するトレンチ分離技術、1991 VLSI シンポジウム技術ダイジェスト87 (Gosho et al, Trench Isolation Technology for 0.35 μ m Devices by Bias ECR CVD, 1991 VLSI Symp Tech Digest 87) は、まず基板内にトレンチをエッチングし、次いで、電子共鳴（以下、ECRと称する）プラズマエンハンスト酸化物堆積によって酸化物で以てこれらのトレンチを充填するプロセスを記載している。この堆積は、シラン

(SiH₄)と亜酸化窒素(N₂O)のガス混合物を使用し、プラズマよりのイオン衝撃の方向から30度未満又は60度より大きく傾斜させた表面に対して酸化物がスパッタリングするよりも高速でこの表面に堆積するようにシランの亜酸化窒素に対する比を設定することで以て開始する。いったん、トレンチが充填されると（かつこれらのトレンチ間の大きな領域に厚い酸化物堆積が累積されると）、シランと亜酸化窒素の比を、イオン衝撃の方向から約0度又は80度より大きく傾斜した表面に対して酸化物がスパッタリングするよりも高速でこの表面に堆積するように調節する。プラズマ堆積のこの第2ステップは、これらのトレンチ間の領域上の酸化物堆積を基本的に収縮させる。ホトリソグラフィ技術を使用してこれらのトレンチ及びこれに極く隣接した領域をマスクする。これは、これらのトレンチ間の領域上の酸化物堆積を露出する。最後に、これら露出された酸化物堆積をストリップして酸化物で充填されたトレンチを残す。この浅いトレンチ分離プロセスを示す図3a~図3f、及び2つの異なるガス混合物に対して傾斜した表面に依存するそれぞれスパッタリングエッチング速度及び堆積速度対表面傾斜角度を示す図4を参照されたい。

【0004】これに代わるトレンチ分離方式は、hydrogen silsesquioxane（以下、HSQと称する）のようなスピノンガラス又はオゾンにtetrathoxysilane（以下、TEOSと称する）を加えたものを使用する化学気相成長（以下、CVDと称する）で以てトレンチを充填することを含む。

【0005】

【発明が解決しようとする課題】これらの調査研究は、HSQ及びTEOSに対する熱アニーリング及びコンプレックスプレーナ化（complex planarization）及びトレンチエッジへのECR損傷のおそれを含む問題を抱える。

【0006】

【課題を解決するための手段】本発明は、研磨阻止層としてトレンチエッチングマスクの部分を使用する堆積酸化物の化学的機械的研磨と共に、トレンチ充填に酸化物の誘導結合高密度プラズマエンハンスト堆積を使用するトレンチ分離方式を提供する。

【0007】この堆積方法は、単純な処理及びプラズマイオン衝撃損傷の回避を含む利点を有する。

【0008】

【発明の実施の形態】

第1好適実施例によるトレンチ分離

図1a~図1fは、トレンチ分離構造を形成する本発明の第1好適実施例の方法のステップの正断面図である。明瞭のために、これらの図は、単一トレンチしか示しておらずかつそのシリコン基板内のいかなるドーパドウェル又はエピタキシャル層をも示していない。事実、図1

aは、シリコン基板102、その上に横たわる厚さ10nmのパッド酸化シリコン層（以下、パッド酸化物層と称する）104、厚さ200nmの窒化シリコン層（以下、窒化物層と称する）106、及びパターン化ホトレジスト108を示す。パッド酸化物層104は堆積又は熱的成長によって形成でき、及び窒化物層106は堆積により形成できる。ホトレジスト108は、約1μmの厚さであろうかつ分離トレンチを形成するためにシリコン基板の部分露出させてエッチングされるようにパターン化される。これらのトレンチは幅0.3μmであってよい。

【0009】図1bは、図1aの構造の塩素基剤化学物質を用いるプラズマエッチングの結果を示す。シリコン基板102内にエッチングされたトレンチは、深さ0.5μmでよくかつ75度の側壁傾斜を有する。それゆえ、トレンチ110は、ほぼ2:1のアスペクト比を有してよい。トレンチ側壁内へのチャネルストップ不純物打ち込みは、これを回避する。なぜならば、これらの不純物が隣接活性デバイス領域を減少させるからである。

【0010】図1cは、ホトレジスト層108のストリッピングとこれに続くトレンチ110の側壁及び底に沿う厚さ20nmの熱酸化層114を示す。この酸化は、5% HCl 雰囲気中で900℃で行ってよい。この酸化はまた、基板表面でのトレンチ110の隅を丸めることがあるが、しかし窒化物層106は更に酸化が行われるのを防止する。パッド酸化物層104及び窒化物層106は、トレンチ110の充填に使用される絶縁材料の後の化学的機械的研磨に対する研磨阻止層と名付けられる。パッド酸化物層104、窒化物層106、及び熱酸化物層114は、シリコン基板102の連続被覆を形成し、かつトレンチ110充填ステップにおけるプラズマイオン衝撃に対する保護を行う。

【0011】次に、トレンチされた基板を図2に示されたような、誘導結合高密度プラズマ反応容器200内に挿入する。次いで、ソースガスを使用するプラズマエンハンスド堆積により0.9μmの酸化物120を堆積し、これらのソースガスにはシラン、酸素、及びアルゴン希釈分がある。図1d参照。プラズマ加熱は基板温度を上昇させ、かつこの温度は冷却によって約330℃に維持される。ソースガス流量は、シラン約30sccm、酸素約40sccm、及びアルゴン約20sccmである。反応室内の全圧は約0.533Pa（4mTorr）であるが、低圧にかかわらず、イオン密度は反応容器200の場合約 $10^{13}/\text{cm}^3$ であり、かつ酸化物は約300nm/minの速度で堆積する。事実、堆積した酸化物は、高品質を有し、高温緻密化又はキュアアニールを必要としない。

【0012】高イオン密度は、慣例的な容量結合又はFCR結合ではなくフィードガスを用いる高周波源、すなわち、高密度プラズマ源201の誘導結合に由来する。

反応容器200内の誘導結合は、プラズマ密度に影響することなくプラズマとチャック202上の基板との間のバイアス高周波容量性電圧（これは基板のイオン衝撃に対するプラズマ電位を決定する）の調節を可能にする。このバイアス電圧を約1250Vに設定する。これが、（イオン衝撃方向から0度傾斜した基板に対して）約3.4の堆積対スパッタリング比を生じる。これが、酸化物層104、窒化物層106及び熱酸化物層114を除去することなくトレンチ110を充填し、かつトレンチ110側壁頂上に沿うシリコン基板102のプラズマイオン衝撃へ露出するのを保証する。これが、トレンチ110側壁に沿う漏れを限定する。

【0013】本発明の代替実施例では、熱酸化物層114を成長させないで、無バイアスでトレンチ110充填堆積を開始して、シリコン基板102を損傷することなく酸化物の共形層（無スパッタリング）を生じ、次いでバイアス電圧を漸次上昇させて酸化物120によるトレンチ110の充填を保証する。事実、20nmの厚さまでの酸化物の初期の零バイアス又は低バイアスプラズマエンハンスド堆積はトレンチ側壁用保護ライナを施し、その後の高バイアス堆積はトレンチ110の残りの部分を充填する。

【0014】ソースガス流量及び全圧を変調することによって堆積速度及び酸化物品質を変化させることができる。

【0015】次いで、研磨阻止層として窒化物層106を使用して化学的機械的研磨（CMPと称することがある）を適用することによってトレンチ110の外側の酸化物120の部分を除去する。トレンチ110内に残る酸化物122を示す図1e参照。

【0016】最後にリン酸エッチング又は選択プラズマエッチングで以て窒化物層106をストリップする。図1fは、最終分離構造を示す。その後の処理は、トランジスタ及びその他のデバイスを形成し、層を絶縁し、かつ配線を相互接続して集積回路を完成する。

【0017】図2は、反応容器200を概略縦断面図で示し、この反応容器は3500Wの最大出力を持つ高周波発生器によって附勢される高密度プラズマ（HDPと称することがある）源201、ウェーハ（すなわち、基板）保持用可動チャック202、及び反応室204を含む。チャック202は、処理中、基板温度を安定させるために裏側にヘリウムガスを供給され、かつ2000Wの最大出力を有する容量性高周波発生器によって附勢される。チャック202は、単一20cm（8インチ）直径基板を保持することができる。高密度プラズマ源201への高周波電力の制御はプラズマ密度を制御し、及びチャック202への高周波電力の制御はプラズマと基板との間に発生されるバイアス電圧を制御し、それゆえ基板をイオン衝撃するイオンのイオンエネルギーを制御する。チャック202への高周波電力は、第1好適実施例

の低バイアス堆積初期部分に対しては小さく、かつ高バイアス堆積部分に対しては増大する。

【0018】集積回路

図5は、NMOSトランジスタ522-524-526及びPMOSトランジスタ532-534を備える双子形ウェルCMOS集積回路に対する本発明の第1好適実施例のトレンチ分離構造502-504-506-508-512を示す。明瞭のために、これらの上に横たわる絶縁層及び相互接続層は図5では省略されている。

【0019】

【発明の効果】

変形と利点

本発明の好適実施例を、誘導結合高密度プラズマ酸化物充填トレンチの1つ以上の特徴及び化学的機械的研磨阻止層として窒化物エッチングマスクの部分の使用を保有する一方、様々なやり方で変化させることができる。

【0020】例えば、トレンチの寸法を、最少幅0.25~0.35 μ m、深さ0.35~0.7 μ m、及び側壁傾斜70~80度のように、変化させることもできる。層の厚さを、パッド酸化物層の厚さ7~15nmの範囲で、窒化物層の厚さを150~250nmの範囲で、等々に変化させることもできる。酸化物堆積用ソースガスを変化させることもでき、かつソースガスはシラン、ジクロシラン、オゾン、亜硝酸等々、を含むこともできる。プラズマ堆積中のバイアス電圧を低バイアス電圧から漸次上昇させて、依然トレンチ充填を保証することもできる。

【0021】以上の説明に関して更に以下の項を開示する。

【0022】(1) (a) シリコン基板上に研磨阻止層を形成するステップ、(b) 前記研磨阻止層をパターン化するステップ(c) 前記基板が前記パターン化された阻止層によって露出される所で前記基板内にトレンチを形成するステップ、(d) 前記基板上に絶縁材料を堆積するステップであって、前記絶縁材料が前記トレンチを充填する前記堆積するステップ、及び(e) 前記研磨阻止層まで前記基板を化学的機械的に研磨するステップを含むトレンチ分離製作方法。

【0023】(2) トレンチ分離構造は、非トレンチ酸化物の化学的機械的研磨除去を用いる高密度プラズマ

エンハンストシリコン二酸化物充填122を含む。

【図面の簡単な説明】

【図1】集積回路に対する本発明の第1好適実施例のトレンチ分離構造形成方法のステップを示す縦断面図であって、aはホトレジストマスクを施した図、bはプラズマエッチングの結果の図、cはホトレジストをストリップしかつ熱酸化物層を形成した図、dは反応容器内でプラズマエンハンスト酸化物堆積した図、eはトレンチ外側の酸化物層を除去した図、fは最終トレンチ分離構造を示す図。

【図2】本発明の方法に使用される高密度プラズマ反応容器の縦断面図。

【図3】集積回路に対する先行技術によるトレンチ分離構造形成方法のステップを示す縦断面図であって、aはトレンチ及び熱酸化層を形成した図、bはプラズマエンハンスト酸化物堆積の第1ステップ結果の図、cはプラズマエンハンスト酸化物堆積の第2ステップ結果の図、dはトレンチをマスクした図、eは露出した酸化物層をストリップした図、fは最終トレンチ分離構造を示す図。

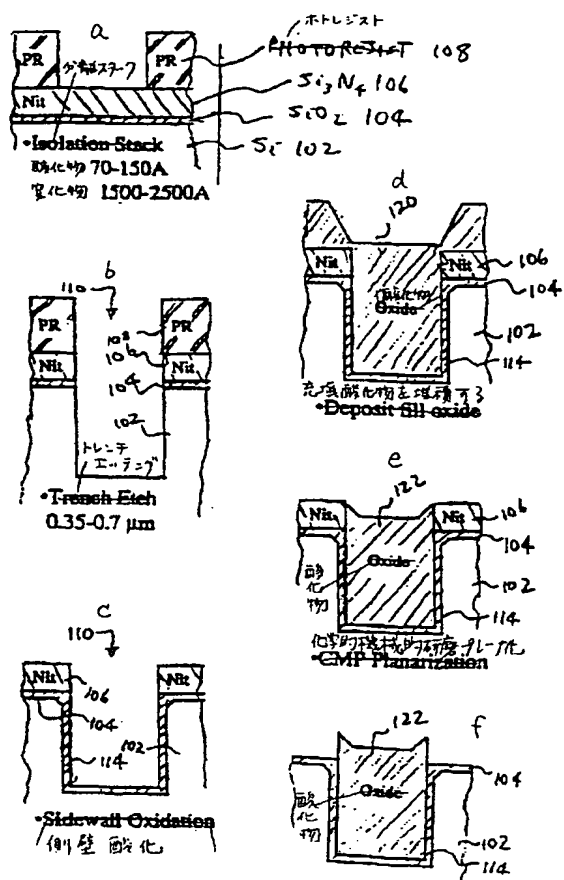
【図4】先行技術によるエッチング速度及び堆積速度対傾斜角度を示す図。

【図5】本発明の好適実施例のトレンチ分離形成方法を適用されたCMOS構造の縦断面図。

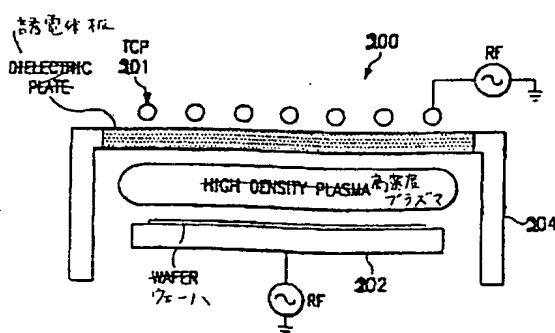
【符号の説明】

- 102 シリコン基板
- 104 パッド酸化物層
- 106 窒化物層
- 108 パターン化ホトレジスト
- 110 トレンチ
- 114 熱酸化物層
- 120 酸化物
- 122 トレンチに残る酸化物
- 200 反応容器
- 201 高周波源
- 202 チャック
- 502-504-506-508-510-512 トレンチ分離構造
- 524 NMOSトランジスタ
- 532 PMOSトランジスタ

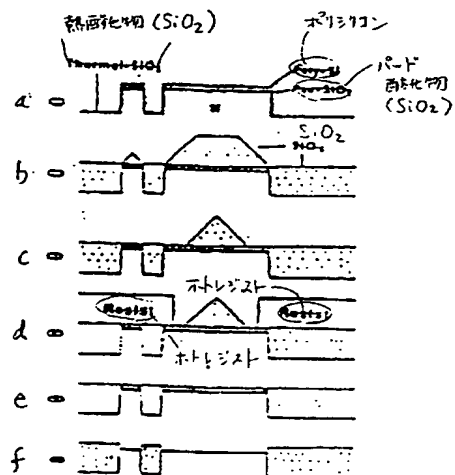
【図1】



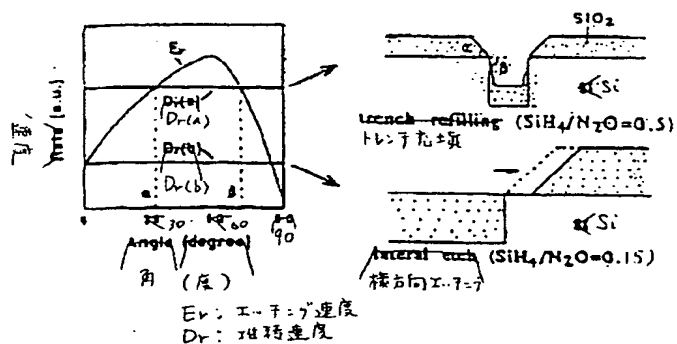
【図2】



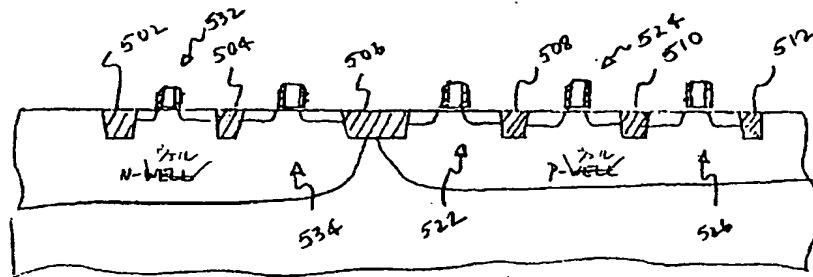
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 イー ー チン チェン
 アメリカ合衆国テキサス州リチャードソ
 ン、フォックスボロ ドライブ 3100